

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

5627771

Basic Patent (No,Kind,Date): JP 61156025 A2 860715 <No. of Patents: 001>

DISPLAY DEVICE (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): NASU YASUHIRO; KAWAI SATORU; OKI KENICHI; MATSUMOTO
TOMOTAKA

IPC: *G02F-001/133; G09F-009/30

JAPIO Reference No: *100358P000115;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 61156025	A2	860715	JP 84276891	A	841227 (BASIC)

Priority Data (No,Kind,Date):

JP 84276891 A 841227

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

01941925 **Image available**

DISPLAY DEVICE

PUB. NO.: 61-156025 [JP 61156025 A]

PUBLISHED: July 15, 1986 (19860715)

INVENTOR(s): NASU YASUHIRO

KAWAI SATORU

OKI KENICHI

MATSUMOTO TOMOTAKA

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.: 59-276891 [JP 84276891]

FILED: December 27, 1984 (19841227)

INTL CLASS: [4] G02F-001/133; G09F-009/30

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS - Optical Equipment); 44.9
(COMMUNICATION - Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --

Glass

Conductors)

JOURNAL: Section: P, Section No. 522, Vol. 10, No. 358, Pg. 115,
December 02, 1986 (19861202)

ABSTRACT

PURPOSE: To attain satisfactory performance by forming a display electrode on the flat surface of an insulating film having an embedded field effect transistor element.

CONSTITUTION: An insulating film 10 such as polyimide film of about 1.μm thickness is formed on a field effect transistor element and not only in a region where a bus line connected to a drain electrode 4 is formed but also in a region where a display electrode is formed so that the surface in a region where a display electrode is formed so that the surface of the film 10 is made flat. A display electrode 6 of indium tin oxide having about 5 ratio of Sn/In or the like is formed on the film 10. A hole is pierced in the film 10, and a drain bus line 8 and a conductor layer 9 are formed with Al or the like. Since only the conductor layer 9 which is slightly higher than the display electrode 6 is present around the electrode 6. A thin orienting film 14 of polyimide or the like can be formed on the surface of the display electrode 6 by coating, and the surface of the film 14 can be oriented sufficiently by rubbing in a fixed direction.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭61-156025

⑬ Int.Cl.
G 02 F 1/133
G 09 F 9/30識別記号
118厅内整理番号
D-8205-2H
6615-5C

⑭ 公開 昭和61年(1986)7月15日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 表示装置

⑯ 特願 昭59-276891
⑯ 出願 昭59(1984)12月27日

⑰ 発明者	那須 安宏	川崎市中原区上小田中1015番地	富士通株式会社内
⑰ 発明者	川井 健悟	川崎市中原区上小田中1015番地	富士通株式会社内
⑰ 発明者	沖 駿一	川崎市中原区上小田中1015番地	富士通株式会社内
⑰ 発明者	松本 友孝	川崎市中原区上小田中1015番地	富士通株式会社内
⑯ 出願人	富士通株式会社	川崎市中原区上小田中1015番地	
⑯ 代理人	弁理士 松岡 宏四郎		

明細書

1. 発明の名称

表示装置

2. 特許請求の範囲

絶縁性基板上に設けられた半導体薄膜を活性層とする電界効果トランジスタ素子と、該電界効果トランジスタ素子の一つの電極に接続された表示電極とを備えて、該表示電極が該電界効果トランジスタ素子を埋め込んで上面が平坦な絶縁膜上に形成されてなることを特徴とする表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は表示装置、特にアクティブマトリクス液晶表示装置等の改善に関する。

(従来の技術)

マトリクス形液晶表示装置等に多く用いられているアクティブマトリクス構造では、従来その画素が例えば第2図(a)の断面図、同図(b)の平面図に示す如く構成されている。

すなわち通常ガラス基板1上に、例えば非晶質

もしくは多結晶のシリコン(Si)、カドミウム・セレン(CdSe)、硫化カドミウム(CdS)等の薄膜半導体層2を活性層として、ゲート電極3、ドレイン電極4、ソース電極5を備えた電界効果トランジスタ素子が形成されている。

ゲート電極3とドレイン電極4はそれぞれバスライン7、8で行方向又は列方向に相互に接続され、ソース電極5にはドレイン電極4のバスライン8と同一層の導体層9を介して表示電極6が接続されている。なお10は絶縁膜であり、トランジスタ素子の保護、バスライン等の層間絶縁などの効果を有する。

ガラス基板1に対向するガラス基板11上には透明平面電極12が設けられ、表示電極6と平面電極12との間に液晶13が保持される。

この液晶13の表示電極6、平面電極12の面上における分子配向を改善するために、表示電極6等の面上に例えばポリイミド、ポリビニルアルコール等を薄く塗布した膜14を設け、その表面を回転するローラー等で一定方向に摩擦する配向処理が

特開昭61-156025 (2)

多く行われている。しかしながら本従来例の構造では、トランジスタ素子の絶縁膜10、導体層9、バスライン8等が表示電極6より例えば1~2μm程度突出しており、これらの突出部分の近傍では表示電極6上の膜14に摩擦が行われず、液晶分子の配向を整える際にこの部分にしみ状の乱れを生ずる。

また電極面上の液晶配向処理として、例えば酸化シリコン(SiO₂)等を80~85度程度の低い入射角で表示電極6上に蒸着することも行われるが、この処理方法でも突出する部分により影となる領域があり同様の乱れを生ずる。

(発明が解決しようとする問題点)

以上説明した如くアクティブマトリクス構造の表示装置において、表示電極より突出する薄膜トランジスタ素子等の部分が表示電極面の加工プロセスを阻害しているが、表示装置の要素の微細化等に伴ってその影響がますます深刻となりその改善が強く要望されている。

(問題点を解決するための手段)

シ(Mo)等を用いて、ゲート電極3及びそのバスライン(図示されない)のパターンを形成し、二酸化シリコン(SiO₂)等によりゲート絶縁膜3aを設ける。

次いで化学気相成長方法等により、例えば非晶質もしくは多結晶シリコン(Si)よりなる薄膜半導体層2を厚さ0.1~0.5μm程度に形成し、その上に例えばアルミニウム(AI)によってドレイン電極4及びソース電極5を設けて、従来構造と同様に電界効果トランジスタ素子が形成される。

第1図(a)参照

絶縁膜10として例えばポリイミドを厚さ1μm程度に、電界効果トランジスタ素子上及びドレイン電極4に接続されるバスライン形成領域のみならず表示電極を形成する領域にも、その上面を平坦にして被着する。この絶縁膜10には他の有機材料等を用いてもよく、形成方法としてはスピンドル法などを適用することができる。

絶縁膜10上に表示電極6を例えばインジウム錫酸化物(通常Sn/In比5%程度)等で形成する。

前記問題点は、絶縁性基板上に設けられた半導体薄膜を活性層とする電界効果トランジスタ素子と、該電界効果トランジスタ素子の一つの電極に接続された表示電極とを備えて、該表示電極が該電界効果トランジスタ素子を埋め込んで上面が平坦な絶縁膜上に形成されてなる本発明による表示装置により解決される。

(作用)

本発明によれば、電界効果トランジスタ素子上の絶縁膜の上面と同一の高さの絶縁膜を表示電極を形成する領域にも設けて、上面が平坦なこの絶縁膜上に表示電極を形成する。

この結果、表示電極面とその周囲との高さの差が殆ど解消され、表示電極面上の加工処理を均一に実施することが可能となる。

(実施例)

以下本発明を第1図に主要部分の工程順模式側断面図を示す実施例により具体的に説明する。

第1図(a)参照

ガラス基板1上に例えばクロム(Cr)、モリブデ

第1図(c)参照

絶縁膜10に開口を設けて、例えばAI等によりドレインバスライン8及び導体層9を形成する。

本実施例の表示電極6の周囲にはこれより僅かに高い導体層9があるので、表示電極6の面上に例えばポリイミド等を薄く塗布した配向処理膜14を設け、その表面を一定方向に摩擦する配向処理を十分に実施することが出来る。

他方従来技術によりガラス基板11上に透明平面電極12と配向処理膜14を設け、上述のプロセスが完了したガラス基板1に対向して配置して、その間に液晶13を保持させて本実施例が完成する。

以上説明した本実施例では、表示電極の液晶配向処理が十分に行われて良好な表示が得られ、またトランジスタ素子及び各配線等の絶縁も良好である。

上述の説明はマトリクス形液晶表示装置を対象としているが、本発明はマトリクス形に限定されるものではなく、更に液晶表示装置に類似する他の表示装置に適用して同様の効果を得ることがで

特開昭61-156025 (3)

きる。

(発明の効果)

以上説明した如く本発明によれば、アクティブ形表示装置の製造プロセス中の障害が除去され、良好な表示性能を実現することが可能となる。

4. 図面の簡単な説明

第1図(a)乃至(c)は本発明の実施例を示す工程順

断面図。

第2図(a)は従来例を示す断面図。

第2図(b)は従来例を示す平面図である。

図において、

1及び11はガラス基板、

2は薄膜半導体層、

3はゲート電極、

3aはゲート絶縁膜、

4はドレイン電極、

5はソース電極、

6は表示電極、

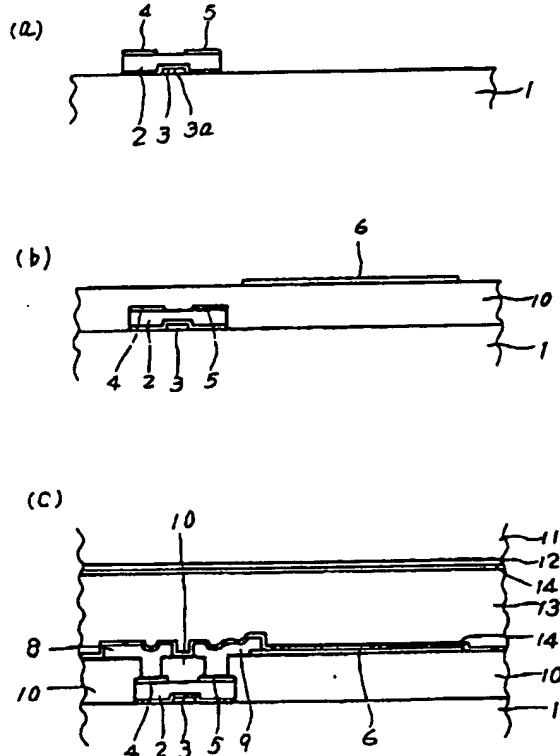
8はドレインバスライン、

9は導体層、

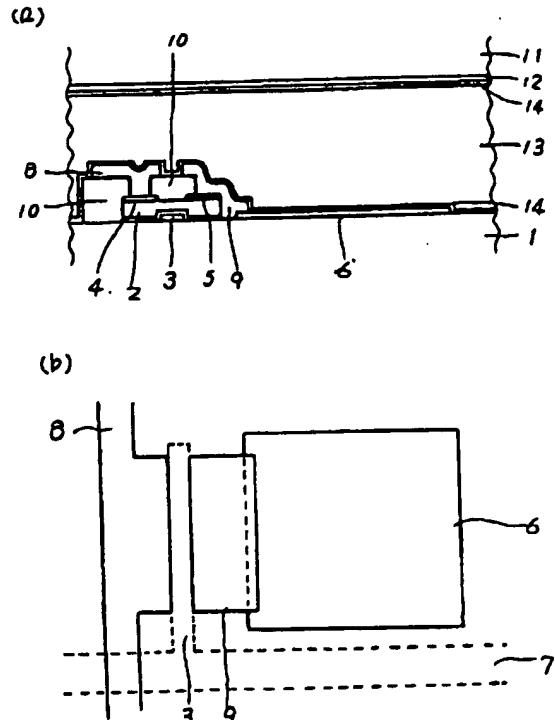
代理人 弁理士 松岡宏四郎



第1図



第2図



BEST AVAILABLE COPY